

Nom de la discipline	Architectures reconfigurable pour le traitement des signaux et des images
Domaine d'étude	Ingénierie électronique et télécommunications
Master	Traitement du signal et des images - mastère francophone
Code de la discipline	52331311
Titulaire du cours	Conf Dr.ing. Romulus TEREBES, Romulus.Terebes@com.utcluj.ro
Collaborateurs	Dr. Ing. Bogdan BELEAN- Bogdan.Belean@com.utcluj.ro
Département	Communications
Faculté	Electronique, Télécommunications et Technologie de l'information

Sem.	Type	Cours			Applications			Etude individuelle			TOTAL	Credits	Vérification
		[h/semaine.]			[h/semestre.]								
			S	L	P		S	L	P				
3	Spécialité	2	-	2	-	28	-	28	-	74	130	5	Epreuve écrite

Compétences acquises
Connaissances théoriques
<ul style="list-style-type: none"> ◆ Éléments du logique numérique ◆ fonctionnement des circuits logiques séquentielle ◆ syntaxe du langage VHDL ◆ Architecture des circuits FPGA ◆ Mémoires dans les systèmes FPGA ◆ Architecture des systèmes avec processeur pour la technologie FPGA ◆ Des modèles pour le traitement parallèle ◆ Architectures de type pipeline
Aptitudes :
<p>A l'issue de ce cours les étudiants seront capables de :</p> <ul style="list-style-type: none"> ■ Implémenter des fonctions numériques dans la technologie FPGA ■ comprendre le fonctionnement des systèmes avec processeur ■ implémenter des circuits séquentiels pour la communication avec les composants périphériques d'une plateforme FPGA ■ concevoir et implanter des logiciels pour le traitement des images et des signaux
Connaissances pratiques
<ul style="list-style-type: none"> ■ Implémenter des circuits numériques utilisant le langage VHDL ■ Implémenter des systèmes avec processeur utilisant la plateforme Xilinx EDK ■ l'ajout des propriétés intellectuelles (IP) dans un système avec microprocesseur ■ le développement d'applications en C / C + + pour des systèmes à microprocesseur crée

Connaissances nécessaires - connaissances acquises dans les cours circuits numériques, de traitement numérique des signaux numériques, le traitement des images numériques, spécial Mathématiques
--

A. Cours		
1	Introduction. Objectifs. Terminologie de base.	2 heures
2	Logique numérique. Éléments de l'algèbre booléenne. Circuits combinaison / circuit séquentiel. Des exemples de tels circuits.	2 heures
3	Langage VHDL. Principes de base: types de données, des expressions, des opérateurs, des paquets, d'instructions de façon séquentielle. (Partie 1)	2 heures
4	Langage VHDL. Principes de base: la liste de sensibilité d'un processus, la déclaration des signaux. (Partie 2)	2 heures
5	Circuits séquentielles type Mealy et Moore. Implémentations VHDL pour les circuits séquentiels.	2 heures
6	Circuits logique arithmétique	2 heures
7	Circuits logiques reconfigurables. Evolution des circuits logiques reconfigurables. Circuits PAL, CPLD, FPGA. Fabricants.	2 heures
8	Mémoires. Mémoire conventionnelle et mémoires distribuées. Mémoire BRAM, SRAM, mémoire distribuée	2 heures
9	Processeurs reconfigurable implémentée à technologie FPGA. (Micro Blaze Blaze pico, Power PC)	2 heures
10	Systèmes multiprocesseur dans la technologie FPGA	2 heures
11	Les modèles de traitement parallèle. Architectures SIMD vs MIMD	2 heures
12	Des architectures pipeline mises en œuvre dans la technologie FPGA.	2 heures

13	Des algorithmes matériels dans les systèmes de FPGA.	2 heures
14	Systèmes avec processeur dans la technologie FPGA. Sommaire du cours.	2 heures

B1. Applications – TRAVAUX PRATIQUES (modules de 4 heures toutes les deux semaines)		
1	TP 1 – Introduction. Description de la plate-forme de laboratoire et de la plateforme Xilinx ISE. Implantation des circuits séquentiels sur la plateforme V2P	4 heures
2	TP 2 – Circuit séquentielle pour l'acquisition de photos numériques sur une plate-forme FPGA en utilisant l'interface USB d'usage général.	4 heures
3	TP3 - Utilisation de la plate-forme FPGA Xilinx Spartan 3E pour implémenter un système à processeur Microblaze.	4 heures
4	TP 4 – Ajout de la propriété intellectuelle (IP) a un système à microprocesseur.	4 heures
5	TP 5 – Le développement de logiciels pour un système à microprocesseur dans la technologie FPGA. Ajout d'un contrôleur d'interruption a un système à microprocesseur.	4 heures
6	TP 6 - Dépannage matériel et des logiciels pour les systèmes a microprocesseur dans la technologie FPGA.	4 heures
7	TP 7 - Présentation des projets.	4 heures
B2. Salle de TP 210 A Dorobanților 71-73		

C. Etude individuelle						
miniprojet - application en C/C++, article scientifique						
Etude individuelle	Etude cours	Tutoriaux	TPs	Epreuve écrite	Miniprojets	Total
Temps [heures]	14	-	14	3	43	74

Références
<ol style="list-style-type: none"> 1. Al Bovik - "<i>Handbook of Image and video coding</i>", Academic Press, 2000. 2. G. Shapiro - "<i>Geometric partial differential equations and image analysis</i>", Cambridge University Press, 2001 3. Zeidman, B., <i>Introduction to FPGA and CPLD Design</i>, Prentice Hall, 2004 4. William, K. P., <i>Digital Image Processing</i>, Los Angeles: John Wiley & Sons, Inc, 2006 5. S. Mitra, G. Sicuranza – "<i>Nonlinear image processing</i>", Academic Press, 2001 6. S.Osher, N. Paragios- "<i>Geometric Level Set Methods in Imaging, Vision and Graphics</i>", 2003 7. Volnei A. Pedroni, <i>Circuit Design with VHDL</i>, MIT Press, 2005 8. Richard Munden, <i>Asic And Fpga Verification: A Guide To Component Modeling</i>, Elsevier 2005 9. Morgan Kaufmann – "<i>The Theory and Practice of FPGA-Based Computation</i>", 2007 10. Ian A. Grout – "<i>Digital Systems Design with FPGAs and CPLDs</i>", Newness, 2008 11. Karen Parnell, „<i>Programmable Logic Design Quick Start Hand Book</i>”, Xilinx, 2002 12. Behrooz Parhami – „<i>Introduction to parallel processing, algorithms and architectures</i>”, Plenum, 1999

Examination	
Mode d'examination	Epreuve écrite sans documents(3 heures)
Composantes de la note finale	Mini projet M (M); Examen (E)
Formule de calcul de la note finale	$N=0,6E+0,4M$ si $E>4$

Titulaire du cours
Conf. Dr. ing. Romulus Terebes
